

記録原本

1/4

特許協力条約に基づく国際出願願書

ADT-376-PCT

原本（出願用） - 印刷日時 2003年06月12日（12.06.2003）木曜日 10時28分57秒

0	受理官庁記入欄	
0-1	国際出願番号	PCT/JP 03/07465
0-2	国際出願日	12.06.03
0-3	(受付印)	PCT International Application 日 本 国 特 許 庁
0-4	様式-PCT/RO/101 この特許協力条約に基づく国際 出願願書は、 右記によって作成された。	PCT-EASY Version 2.92 (updated 01.04.2003)
0-4-1		
0-5	申立て 出願人は、この国際出願が特許 協力条約に従って処理されるこ とを請求する。	
0-6	出願人によって指定された受理 官庁	日本国特許庁 (RO/JP)
0-7	出願人又は代理人の書類記号	ADT-376-PCT
I	発明の名称	差動電圧測定装置、半導体試験装置
II	出願人	
II-1	この欄に記載した者は	出願人及び発明者である (applicant and inventor)
II-2	右の指定国についての出願人で ある。	すべての指定国 (all designated States)
II-4ja	氏名 (姓名)	橋本 好弘
II-4en	Name (LAST, First)	HASHIMOTO, Yoshihiro
II-5ja	あて名:	179-0071 日本国 東京都 練馬区 旭町1丁目32番1号 株式会社アドバンテスト内
II-5en	Address:	c/o ADVANTEST CORPORATION, 32-1, Asahicho 1-chome, Nerima-ku, Tokyo 179-0071 Japan
II-6	国籍 (国名)	日本国 JP
II-7	住所 (国名)	日本国 JP
II-8	電話番号	0276-70-3300
II-9	ファクシミリ番号	0276-70-3341

IV-1	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のごとく出願人のために行動する。	代理人 (agent)
IV-1-1ja	氏名(姓名)	渡辺 喜平
IV-1-1en	Name (LAST, First)	WATANABE, Kihei
IV-1-2ja	あて名:	101-0041 日本国 東京都 千代田区 神田須田町一丁目26番 芝信神田ビル3階
IV-1-2en	Address:	Shibashin Kanda Bldg. 3rd Floor, 26, Kanda Suda-cho 1-chome, Chiyoda-ku, Tokyo 101-0041 Japan
IV-1-3	電話番号	03-5256-6866
IV-1-4	ファクシミリ番号	03-5256-6863
IV-1-5	電子メール	IZK07300@nifty.ne.jp
V	国の指定	
V-1	広域特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	—
V-2	国内特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	US
V-5	指定の確認の宣言 出願人は、上記の指定に加えて、規則4.9(b)の規定に基づき、特許協力条約のもとで認められる他の全ての国の指定を行う。ただし、V-6欄に示した国の指定を除く。出願人は、これらの追加される指定が確認を条件としていること、並びに優先日から15月が経過する前にその確認がなされない指定は、この期間の経過時に、出願人によって取り下げられたものとみなされることを宣言する。	
V-6	指定の確認から除かれる国	なし (NONE)
VI-1	先の国内出願に基づく優先権主張	
VI-1-1	出願日	2002年06月13日 (13.06.2002)
VI-1-2	出願番号	特願2002-172556
VI-1-3	国名	日本国 JP
VII-1	特定された国際調査機関 (ISA)	日本国特許庁 (ISA/JP)

原本（出願用） - 印刷日時 2003年06月12日（12.06.2003）木曜日 10時28分57秒

受理官庁記入欄

10-1	国際出願として提出された書類 の実際の受理の日	12.06.03
10-2	図面：	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類 を補完する書類又は図面であつ てその後期間内に提出されたも の実際の受理の日（訂正日）	
10-4	特許協力条約第11条(2)に基づ く必要な補完の期間内の受理の 日	
10-5	出願人により特定された国際調 査機関	ISA/JP
10-6	調査手数料未払いにつき、国際 調査機関に調査用写しを送付し ていない	

PCT-JP-07465

4/4

特許協力条約に基づく国際出願願書

ADT-376-PCT

原本（出願用） - 印刷日時 2003年06月12日（12.06.2003）木曜日 10時28分57秒

国際事務局記入欄

11-1	記録原本の受理の日	04 July 2003
------	-----------	--------------

明 細 書

差動電圧測定装置、半導体試験装置

5 技術分野

この発明は、被試験デバイス（DUT）へ比較的高い試験電圧を印加して、その時の負荷電流量を所定の測定分解能で量子化変換できる電流測定部を備える半導体試験装置に関する。特に、DUTへ印加する高い試験電圧に依存されることなく、所定の測定分解能で量子化変換できる電流測定部を有する電圧印加電流測

10 定（VSIM）、を備える半導体試験装置に関する。

背景技術

半導体試験装置で被試験デバイス（DUT）の直流電圧や直流電流を高精度に測定する場合、演算増幅器、周辺の抵抗、AD変換器等において、各々高精度の
15 部品が要求される。

シリコン基板にこれら回路を実装する場合、高精度の測定を実現する為に、シリコン基板の製造プロセスが複雑になったり、レーザートリミングが必要となったり、チップサイズが大きくなったりする難点がある。

第1図はDUTに対して所望の電圧を印加し、その時の電流を測定する電圧印
20 加電流測定（VSIM）を示す1チャンネルの要部回路構成である。これは、テストヘッドのピンエレクトロニクスを介してDUTのICピンに割り込んでICピンへ流れる電流量を測定するものである。

公知のように、高電圧用のVSIMでは例えば ± 40 V程度迄の電圧をDUTへ印加し、電流測定レンジを切り替えてピコアンペア／マイクロアンペア／ミリ
25 アンペアの広いダイナミックレンジの電流量を測定する。低電圧用のVSIMでは ± 10 V程度迄の電圧をDUTへ印加し、電流測定レンジを切り替えてマイクロアンペア／ミリアンペアの電流量を測定する。尚、これらVSIMは半導体試験装置には所定複数台備えている。ここで、半導体試験装置及び電圧印加電流測定（VSIM）は公知であり技術的に良く知られている為、本発明に係る要部
30 除き、その他の信号や構成要素、及びその詳細説明については省略する。

V S I Mの簡明な要部構成要素は第1図(a)に示すように、DA変換器10と、演算増幅器A1と、電流検出抵抗手段RMと、電流測定部100とを備える。

DA変換器10は、DUTのICピンへ印加すべき正負の設定電圧10sを発生するものである。例えば $\pm 40\text{ V}$ 以上の任意の電圧を発生する。

- 5 演算増幅器A1は、上記設定電圧10sを受けて、電流検出抵抗手段RMを介してDUTのICピンへ試験電圧VSとして供給するための誤差低減および電力拡大用の演算増幅器である。

- 10 電流検出抵抗手段RMは、DUTのICピンへ接続される線路に直列に挿入して備えて、当該線路に流れる電流量を数百ミリボルト程度の電位差Vxに変換されるような抵抗値が使用される。この両端に発生する一方の同相電圧Vaと他方の検出電圧Vbを電流測定部100へ供給する。ここで、電流検出抵抗手段RMは測定範囲やその他の理由で、単一の抵抗のみで電流検出抵抗手段RMが構成される場合と、第1図(c)に示すように、複数個の抵抗と切り替えリレーで構成される電流測定レンジ機能を備えている場合とがある。

- 15 電流測定部100は、上記電流検出抵抗手段RMの両端の同相電圧Vaと、検出電圧Vbを受けて、量子化変換して両者の電位差Vxの測定データとして取得し、これからDUTのICピンへ流れる電流量を特定するものである。

- 20 第1図(b)は第1の内部原理回路図である。この構成要素は演算増幅器A2、A3と、抵抗R1、R2、R3、R4と、切替スイッチSW1と、AD変換器20とを備える例である。

- 25 演算増幅器A3と抵抗R1、R2、R3、R4との構成は、2信号を受けて両者の電位差Vxに対応する差分信号Vcに変換して出力する一般的な差動増幅構成である。演算増幅器A2は単なる電圧バッファである。ここで、高精度の測定を行う場合には、抵抗R1、R2の分圧比と、抵抗R3、R4の分圧比とが厳密に一致している必要がある。

切替スイッチSW1は、演算増幅器A2、A3のオフセット電圧等を特定するときに、回路アース側に接続を切り替えて、基準の0Vを測定するときの切り替えリレーである。

- 30 AD変換器20は、演算増幅器A3からの差分信号Vcを受けて量子化変換した測定データを出力する。

ここで、同相電圧と分圧抵抗に伴う誤差要因について数式を示して評価する。
ここで α は目的の抵抗値に対する誤差割合とし、 n はゲイン（増幅度）とする。

各抵抗の誤差要因としては、 $R1=R(1+\alpha)$ 、 $R2=n*R(1-\alpha)$ 、 $R3=R(1-\alpha)$ 、 $R4=n*R(1+\alpha)$ と見なせる。

- 5 演算増幅器A2の誤差要因として、オフセット=Aoとし、演算増幅器A3の誤差要因として、オフセット=Boと仮定する。

出力される差分信号Vcは、 $Vc=Va*(R4/(R3+R4))*(R1+R2)/R1-Vb*(R2/R1)-Ao*(R2/R1)+Bo*((R1+R2)/R1)$ の式である。

- 10 ここで、 $Vb=Va+Vx$ を代入すると、

$Vc=Va*[(R4/(R3+R4))*(R1+R2)/R1-(R2/R1)]-Vx*(R2/R1)-Ao*(R2/R1)+Bo*(R2/R1+1)$ となる。

- 15 同相電圧誤差n1は、 $n1=[(R4/(R3+R4))*(R1+R2)/R1-(R2/R1)]$ の式である。

ゲイン誤差n2は、 $n2=(R2/R1)$ の式である。

オフセット誤差n3は、 $n3=Ao*(R2/R1)+Bo*((R1+R2)/R1)$ の式である。

上記式に基づいて、同相電圧誤差n1を計算すると、

- 20 $n1=\{n(1+\alpha)/[(1-\alpha)+n((1+\alpha))] * \{[(1+\alpha)+n((1-\alpha))]/(1+\alpha)] - [n(1-\alpha)/(1+\alpha)]\}$

ここで、 $1-\alpha=A$ 、 $1+\alpha=B$ に置き換えると

$n1=(B+nA)/(A+nB)-A/B=(A*A-B*B)/(AB-nB*B)$

- 25 $=[1-2\alpha+\alpha*\alpha-(1+2\alpha+\alpha*\alpha)]/[1-\alpha*\alpha+n(1+2\alpha+\alpha*\alpha)]$

ここで、 $\alpha \ll 1$ であり、 $\alpha*\alpha$ 、 $2\alpha n$ は1に対して十分に小さいので0で近似できるからして、

$n1'=-4\alpha/(1+n+2\alpha n) \approx 4\alpha/(1+n)$ の同相電圧誤差を生じ

- 30 ることになる。例えば、同相電圧 $Va=10V$ 、抵抗誤差 $\alpha=0.1\%$ 、ゲイ

ン $n=1$ の数値を代入したときの同相電圧誤差は、 $10\text{V} * (4 * 0.1\%) / 2 = 20\text{mV}$ 、の値となる。この誤差値は大きな測定誤差要因になってしまう難点がある。

一方で、抵抗には電圧係数と呼ばれる抵抗素子の特異な非線形特性がある。この特異な非線形特性は、第10図の印加電圧により理想抵抗に対して非線形の偏差を生じる説明図に示すように、抵抗に印加する電圧によって抵抗値が変化してくる。

例えば、ニッケルクロム系の薄膜等を使用した高精度の抵抗では電圧係数は小さいが、モノリシックIC内に形成されるポリシリコン系の抵抗では1Vで0.1～0.5%の変化する場合もある。

従って、上記回路では $V_a - V_b$ の電位差 V_x だけではなく、同相電圧 V_a によって分圧用の抵抗 $R_1 \sim R_4$ が複雑に変わるので、ニッケルクロム系等の特性の良い抵抗が必要となる難点がある。逆に、抵抗に印加される電圧が測定値となる差分信号 V_c に比例する場合には、抵抗素子の特異な非線形特性をキャリブレーション等によって補正することが可能である。

第2図(b)は電流測定部102の第2の内部原理回路図であり、特開平11-174113号(ICテストの電圧印加電流測定回路)の複数チャンネルのDUTのICピンの電流を測定する電流測定部の要部原理構成である。ここで、第2図(a)は1チャンネルのICピンの電流を測定する場合の要部原理構成例である。これは両端の同相電圧 V_a と検出電圧 V_b の個々に対して、直接的にAD変換してデータメモリ46へ各々格納した後、ソフト処理により電位差 V_x を算出する手法である。これによれば、上記分圧用の抵抗 $R_1 \sim R_4$ を使用しないので、上記同相電圧誤差の問題は解消されている。

しかしながら、逆に、AD変換器45に対して高入力電圧範囲で且つ高分解能なAD変換器が必要となる難点がある。例えば、電位差 V_x が 1V_{max} のときに $\pm 0.1\%$ (± 1000)の分解能で測定する場合としたとき、試験電圧 V_S が1Vの場合には11ビット分解能(± 1000)で足りる。しかし、試験電圧 V_S が10Vの場合には15ビット分解能(± 10000)が必要となり、試験電圧 V_S が100Vの場合には18ビット分解能(± 100000)の高入力電圧範囲のAD変換器が必要となってくる難点がある。高入力電圧範囲で且つ高分

解能に対応可能なAD変換器は高価な難点がある。

上述説明したように従来技術の電流測定部においては、第2図に示すように、電流検出抵抗手段RMの両端の同相電圧 V_a と、検出電圧 V_b を直接的にAD変換器で量子化変換する構成である為に、高入力電圧範囲で且つ高分解能なAD変換器が必要となる難点がある。高入力電圧範囲に対応可能なAD変換器は高価である。半導体試験装置はこのAD変換器を複数の数十チャンネル備える必要があるからして、試験装置が高価となる難点がある。

そこで、本発明が解決しようとする課題は、比較的高い試験電圧をDUTへ印加する場合でも、その時の負荷電流量を低い電圧範囲に変換した後、前記低い電圧範囲を所定の測定分解能で量子化変換する電流測定部を備える半導体試験装置を提供することである。

また、比較的高い試験電圧をDUTへ印加する場合でも、その時の負荷電流量を低い電圧範囲に変換した後、前記低い電圧範囲を所定の測定分解能で量子化変換できる電流測定部を有する電圧印加電流測定(VSIM)、を備える半導体試験装置を提供することである。

また、電流測定部をモノリシックIC化するとき、IC上に形成する抵抗のばらつきが存在していても、測定精度に与える影響を最小限にすることが可能な回路構成の電流測定部を備える半導体試験装置を提供することである。

また、電流測定部をモノリシックIC化するとき、IC上に形成する抵抗素子の特異な非線形特性が存在していても、線形補正処理をすることで測定精度に与える影響を最小限にすることが可能な回路構成の電流測定部を備える半導体試験装置を提供することである。

発明の開示

本発明に係る解決手段を示す。

第1の解決手段を示す。ここで第9図と第1図(a)は、本発明に係る解決手段を示している。

上記課題を解決するために、所定の一定電圧を負荷装置(例えばDUT)へ印加する印加電圧源(例えばDA変換器10と演算増幅器A1)を具備し、

印加電圧源の出力端と負荷装置との間に所定の抵抗を直接に挿入して、負荷装

置に流れる電流量を電圧に変換する電流電圧変換手段（例えば電流検出抵抗手段 RM）を具備し、

印加電圧源の出力端の電圧を同相電圧 V_a と呼称し、電流電圧変換手段を介して負荷装置へ印加する電圧を検出電圧 V_b と呼称し、前記両電圧間の差を電位差 V_x と呼称したとき、

同相電圧 V_a と検出電圧 V_b とを時系列に切り替えて受けて、0 V 付近の所定の低電圧に電圧シフトし、シフトした電圧を各々受けて量子化変換した低電圧測定データを各々出力する電流測定手段（例えば電流測定部 200）を具備し、

得られた低電圧測定データの両者間における電圧の差値を電位差 V_x として求め、求めた電位差 V_x と上記電流電圧変換手段の抵抗値とを乗算した結果値を負荷装置へ流れる電流量とする算出手段を具備し、

以上を具備して、上記電流測定手段において低分解能の AD 変換器 60 が適用可能とすることを特徴とする差動電圧測定装置である。

次に、第 2 の解決手段を示す。ここで第 9 図と第 1 図（a）は、本発明に係る解決手段を示している。

上記課題を解決するために、被試験デバイスのテストピンに割り込んで、DUT の IC ピンへ所定の直流電圧を印加し、その時に流れる電流を測定する電圧印加電流測定（VSIM）の機能を備える半導体試験装置において、

所定の一定電圧を DUT へ印加する印加電圧源（例えば DA 変換器 10 と演算増幅器 A1）を具備し、

印加電圧源の出力端と DUT の IC ピンとの間に所定の抵抗を直接に挿入して、DUT に流れる電流量を電圧に変換する電流電圧変換手段（例えば電流検出抵抗手段 RM）を具備し、

印加電圧源の出力端の電圧を同相電圧 V_a と呼称し、電流電圧変換手段を介して DUT へ印加する電圧を検出電圧 V_b と呼称し、前記両電圧間の差を電位差 V_x と呼称したとき、

同相電圧 V_a と検出電圧 V_b とを時系列に切り替えて受けて、0 V 付近の所定の低電圧に電圧シフトし、シフトした電圧を各々受けて量子化変換した低電圧測定データを各々出力する電流測定手段（例えば電流測定部 200）を具備し、

得られた低電圧測定データの両者間における電圧の差値を電位差 V_x として求

め、求めた電位差 V_x と上記電流電圧変換手段の抵抗値とを乗算した結果値を DUT へ流れる電流量とする算出手段を具備し、

以上を具備して、上記電流測定手段において低分解能の AD 変換器 60 が適用可能とすることを特徴とする半導体試験装置がある。

- 5 次に、第 3 の解決手段を示す。ここで第 1 図 (a) は、本発明に係る解決手段を示している。

上述印加電圧源の一態様は、第 1 の DA 変換器 10 と第 1 の演算増幅器 A1 とを備え、

- 10 第 1 の DA 変換器 10 は外部から設定される設定データに基づいて所定の基準電圧 (設定電圧 V_{10s}) を発生するものであり、

第 1 の演算増幅器 A1 は電力用の演算増幅器であり、基準電圧を正入力端 (非反転入力端) に受け、DUT へ供給する試験電圧 V_S を負入力端 (反転入力端) に受け、当該第 1 の演算増幅器 A1 の出力端から上記電流電圧変換手段を介して DUT へ試験電圧 V_S として供給するものであり、

- 15 第 1 の演算増幅器 A1 の出力端に接続される電流電圧変換手段の両端から同相電圧 V_a と検出電圧 V_b として第 1 の上記電流測定手段 (例えば電流測定部 200) へ供給する、ことを特徴とする上述半導体試験装置がある。

次に、第 4 の解決手段を示す。ここで第 5 図は、本発明に係る解決手段を示している。

- 20 上述印加電圧源の一態様としては、更に、第 1 の DA 変換器 10 が発生する基準電圧を第 2 の上記電流測定手段へ供給する、ことを特徴とする上述半導体試験装置がある。

次に、第 5 の解決手段を示す。ここで第 7 図は、本発明に係る解決手段を示している。

- 25 上述印加電圧源の一態様は、第 1 の DA 変換器 10 と反転増幅バッファ手段 80 とを備え、

第 1 の DA 変換器 10 は外部から設定される設定データに基づいて所定の基準電圧 (設定電圧 V_{10s}) を発生するものであり、

- 30 反転増幅バッファ手段 80 は電力用の反転型演算増幅器であり、基準電圧を受け、DUT へ供給する試験電圧 V_S を受けて所望ゲインで反転増幅し、当該反転

増幅バッファ手段 80 の出力端から上記電流電圧変換手段を介して DUT へ試験電圧 V_S として供給するものであり、

第 1 の演算増幅器 A1 の出力端に接続される電流電圧変換手段の両端から同相電圧 V_a と検出電圧 V_b として第 3 の上記電流測定手段へ供給し、且つ、第 1 の
5 DA変換器 10 が発生する基準電圧を第 3 の上記電流測定手段（電流測定部 200b）へ供給する、ことを特徴とする上述半導体試験装置がある。

次に、第 6 の解決手段を示す。ここで第 3 図（a）、（b）と第 5 図（b）、（c）と第 7 図（b）、（c）は、本発明に係る解決手段を示している。

上述第 1 乃至第 3 の上記電流測定手段の一態様は、オフセット電圧付与手段と
10 AD変換器 60 とデータ格納手段とを備え、

上記オフセット電圧付与手段（例えばオフセット電圧付与回路 300）は概略既知の正電圧若しくは負電圧の同相電圧 V_a と検出電圧 V_b とを時系列に切り替えて受けて、所定の低電圧範囲に収まるように電圧シフトした同相電圧 V_a に対応する第 1 の低電圧信号と、検出電圧 V_b に対応する第 2 の低電圧信号を出力す
15 るものであり、

上記 AD変換器 60 は低電圧に電圧シフトした第 1 の低電圧信号と第 2 の低電圧信号とを時系列に受けて、各々を量子化変換した第 1 の測定データと第 2 の測定データを出力するものであり、

上記データ格納手段（例えばデータメモリ 46）は第 1 の測定データと第 2 の
20 測定データを少なくとも 1 組格納可能なメモリ若しくはレジスタである、ことを特徴とする上述半導体試験装置がある。

次に、第 7 の解決手段を示す。ここで第 3 図（a）と第 5 図（b）と第 7 図（b）は、本発明に係る解決手段を示している。

第 1 の上記電流測定手段の一態様としては、当該電流測定手段へ入力する 1 系
25 統の同相電圧 V_a と検出電圧 V_b とを受けて、何れかに切り替えて上記オフセット電圧付与手段へ供給する第 1 の入力信号切替手段（例えば切替スイッチ SW1）を備える、ことを特徴とする上述半導体試験装置がある。

次に、第 8 の解決手段を示す。ここで第 3 図（b）は、本発明に係る解決手段を示している。

30 第 2 の上記電流測定手段の一態様としては、複数チャンネルから同相電圧 V_a

と検出電圧 V_b との組の複数群の入力信号を受けて、前記複数群の中の何れかの1つに切り替えて上記オフセット電圧付与手段へ供給する第2の入力信号切替手段（例えば切替スイッチ SW_1 と切替スイッチ SW_2 ）を備える、ことを特徴とする上述半導体試験装置がある。

- 5 次に、第9の解決手段を示す。ここで第5図（c）と第7図（c）は、本発明に係る解決手段を示している。

第3の上記電流測定手段の一態様としては、複数チャンネルから同相電圧 V_a と検出電圧 V_b との組の複数群の入力信号を受けて、前記複数群の中の何れかの1つに切り替えて上記オフセット電圧付与手段へ供給し、且つ、複数チャンネルの上記第1のDA変換器10からの上記設定電圧 $10s$ を受けて、前記で選択された同相電圧 V_a 若しくは検出電圧 V_b に対応するチャンネルの上記設定電圧 $10s$ に切り替えて上記オフセット電圧付与手段へ供給する第3の入力信号切替手段（例えば切替スイッチ SW_1 と切替スイッチ SW_2 と切替スイッチ SW_3 ）を備える、ことを特徴とする上述半導体試験装置がある。

- 15 次に、第10の解決手段を示す。ここで第4図（a）と第3図は、本発明に係る解決手段を示している。

上述オフセット電圧付与手段（オフセット電圧付与回路300）の一態様は、第2のDA変換器30と第2の演算増幅器A6と第1抵抗 R_1 と第2抵抗 R_2 と第3抵抗 R_3 とを備え、

- 20 第2のDA変換器30は外部から設定されるオフセット設定データに基づいて、概略既知の正電圧若しくは負電圧の同相電圧 V_a 若しくは検出電圧 V_b を所定の低電圧に電圧シフトする逆極性のオフセット電圧（相殺電圧 V_d ）を発生するものであり、

第2の演算増幅器A6と第1抵抗 R_1 と第2抵抗 R_2 とは所定増幅度の反転増幅器を構成するものであり、

第1抵抗 R_1 は同相電圧 V_a 若しくは検出電圧 V_b を受ける入力端と第2の演算増幅器A6の負入力端との間に接続され、

第2抵抗 R_2 は第2の演算増幅器A6の出力端と第2の演算増幅器A6の負入力端との間に接続され、

- 30 第3抵抗 R_3 は第2のDA変換器30の出力端と第2の演算増幅器A6の負入

力端との間に接続され、

第2の演算増幅器A6の正入力端は回路アースに接続されて、入力される同相電圧V_a及び検出電圧V_bの両者を同一条件で低電圧に電圧シフトして出力する、ことを特徴とする上述半導体試験装置がある。

- 5 次に、第11の解決手段を示す。ここで第4図(b)と第3図は、本発明に係る解決手段を示している。

上述オフセット電圧付与手段(オフセット電圧付与回路300b)の一態様は、第2のDA変換器30と第2の演算増幅器A6と第1抵抗R1と第2抵抗R2と第3抵抗R3と第4抵抗R4とを備え、

- 10 第2のDA変換器30は外部から設定されるオフセット設定データに基づいて、概略既知の正電圧若しくは負電圧の同相電圧V_a若しくは検出電圧V_bを所定の低電圧に電圧シフトする同一極性のオフセット電圧(相殺電圧V_d)を発生するものであり、

- 第2の演算増幅器A6と第1抵抗R1と第2抵抗R2とは所定増幅度の反転増幅器を構成するものであり、
- 15

第1抵抗R1は同相電圧V_a若しくは検出電圧V_bを受ける入力端と第2の演算増幅器A6の負入力端との間に接続され、

第2抵抗R2は第2の演算増幅器A6の出力端と第2の演算増幅器A6の負入力端との間に接続され、

- 20 第3抵抗R3は第2のDA変換器30の出力端と第2の演算増幅器A6の正入力端との間に接続され、

第4抵抗R4は第2の演算増幅器A6の正入力端と回路アース間に接続されて、入力される同相電圧V_a及び検出電圧V_bの両者を同一条件で低電圧に電圧シフトして出力する、ことを特徴とする上述半導体試験装置がある。

- 25 次に、第12の解決手段を示す。ここで第6図(a)と第5図は、本発明に係る解決手段を示している。

上述オフセット電圧付与手段(オフセット電圧付与回路300c)の一態様は、電圧反転回路70と第2の演算増幅器A6と第1抵抗R1と第2抵抗R2と第3抵抗R3とを備え、

- 30 電圧反転回路70は上記印加電圧源が備える第1のDA変換器10から発生す

る基準電圧（設定電圧10s）を受けて、所定の増幅度で反転増幅した、同相電圧V a若しくは検出電圧V bを所定の低電圧に電圧シフトする逆極性の所定のオフセット電圧（反転電圧70c）を発生するものであり、

第2の演算増幅器A 6と第1抵抗R 1と第2抵抗R 2とは所定増幅度の反転増幅器を構成するものであり、

第1抵抗R 1は同相電圧V a若しくは検出電圧V bを受ける入力端と第2の演算増幅器A 6の負入力端との間に接続され、

第2抵抗R 2は第2の演算増幅器A 6の出力端と第2の演算増幅器A 6の負入力端との間に接続され、

第3抵抗R 3は電圧反転回路70の出力端と第2の演算増幅器A 6の負入力端との間に接続され、

第2の演算増幅器A 6の正入力端は回路アースに接続されて、入力される同相電圧V a及び検出電圧V bの両者を同一条件で低電圧に電圧シフトして出力する、ことを特徴とする上述半導体試験装置がある。

次に、第13の解決手段を示す。ここで第6図（b）と第5図は、本発明に係る解決手段を示している。

上述オフセット電圧付与手段（オフセット電圧付与回路300d）の一態様は、第2の演算増幅器A 6と第1抵抗R 1と第2抵抗R 2と第3抵抗R 3と第4抵抗R 4とを備え、

第2の演算増幅器A 6と第1抵抗R 1と第2抵抗R 2とは所定増幅度の反転増幅器を構成するものであり、

第1抵抗R 1は同相電圧V a若しくは検出電圧V bを受ける入力端と第2の演算増幅器A 6の負入力端との間に接続され、

第2抵抗R 2は第2の演算増幅器A 6の出力端と第2の演算増幅器A 6の負入力端との間に接続され、

第3抵抗R 3は上記印加電圧源が備える第1のDA変換器10から発生する基準電圧（設定電圧10s）の出力端と第2の演算増幅器A 6の正入力端との間に接続され、

第4抵抗R 4は第2の演算増幅器A 6の正入力端と回路アース間に接続されて、入力される同相電圧V a及び検出電圧V bの両者を同一条件で低電圧に電圧シフ

トして出力する、ことを特徴とする上述半導体試験装置がある。

次に、第14の解決手段を示す。ここで第8図(a)と第7図は、本発明に係る解決手段を示している。

上述オフセット電圧付与手段(オフセット電圧付与回路300e)の一態様は、
5 第2の演算増幅器A6と第1抵抗R1と第2抵抗R2と第3抵抗R3とを備え、

第2の演算増幅器A6と第1抵抗R1と第2抵抗R2とは所定増幅度の反転増幅器を構成するものであり、

第1抵抗R1は同相電圧V_a若しくは検出電圧V_bを受ける入力端と第2の演算増幅器A6の負入力端との間に接続され、

10 第2抵抗R2は第2の演算増幅器A6の出力端と第2の演算増幅器A6の負入力端との間に接続され、

第3抵抗R3は上記印加電圧源が備える第1のDA変換器10から発生する基準電圧(設定電圧10s)の出力端と第2の演算増幅器A6の負入力端との間に接続され、

15 第2の演算増幅器A6の正入力端は回路アースに接続されて、入力される同相電圧V_a及び検出電圧V_bの両者を同一条件で低電圧に電圧シフトして出力する、ことを特徴とする上述半導体試験装置がある。

次に、第15の解決手段を示す。ここで第8図(b)と第7図は、本発明に係る解決手段を示している。

20 上述オフセット電圧付与手段(オフセット電圧付与回路300f)の一態様は、電圧反転回路70と第2の演算増幅器A6と第1抵抗R1と第2抵抗R2と第3抵抗R3と第4抵抗R4とを備え、

電圧反転回路70は上記印加電圧源が備える第1のDA変換器10から発生する基準電圧(設定電圧10s)を受けて、所定の増幅度で反転増幅した、同相電
25 圧V_a若しくは検出電圧V_bとは逆極性の所定のオフセット電圧(反転電圧70c)を発生するものであり、

第2の演算増幅器A6と第1抵抗R1と第2抵抗R2とは所定増幅度の反転増幅器を構成するものであり、

第1抵抗R1は同相電圧V_a若しくは検出電圧V_bを受ける入力端と第2の演
30 算増幅器A6の負入力端との間に接続され、

第2抵抗R2は第2の演算増幅器A6の出力端と第2の演算増幅器A6の負入力端との間に接続され、

第3抵抗R3は電圧反転回路70の出力端と第2の演算増幅器A6の正入力端との間に接続され、

- 5 第4抵抗R4は第2の演算増幅器A6の正入力端と回路アース間に接続されて、入力される同相電圧V_a及び検出電圧V_bの両者を同一条件で低電圧に電圧シフトして出力する、ことを特徴とする上述半導体試験装置がある。

次に、第16の解決手段を示す。ここで第1図(c)は、本発明に係る解決手段を示している。

- 10 上述電流電圧変換手段(例えば電流検出抵抗手段R_M)の一態様としては、単一の抵抗のみを備え、若しくは複数個の抵抗と切り替えリレーで所定の抵抗値に切替えできる電流測定レンジ機能を備える、ことを特徴とする上述半導体試験装置がある。

- 次に、第17の解決手段を示す。ここで第10図は、本発明に係る解決手段を示している。

上述オフセット電圧付与手段(例えばオフセット電圧付与回路300, 300b, 300c, 300d, 300e, 300f)に備える少なくとも上記第1抵抗R1と上記第2抵抗R2に対し、DUTの試験に先立って、段階的な電圧を当該抵抗の両端へ印加して測定する手段を具備し、

- 20 前記で得られた当該抵抗の非線形特性データと理想抵抗との偏差を特定する手段を具備し、

特定された当該抵抗の非線形特性に基づいて、DUTの電流を測定して得た同相電圧V_a及び検出電圧V_b(若しくは差値の電位差V_x)に対して当該抵抗の非線形特性が理想抵抗となるように直線補正する手段を具備し、

- 25 を更に備えることで、ポリシリコン系等でモノリシックIC内に形成された当該抵抗素子の特異な非線形特性に伴う誤差要因を補正することを特徴とする上述半導体試験装置がある。

- 尚、本発明は、所望により、上記解決手段における各要素手段を適宜組み合わせ、実用可能な他の構成手段としても良い。また、上記各要素に付与されている符号は、発明の実施の形態等示されている符号に対応するものの、これに限

定するものではなく、実用可能な他の均等物を適用した構成手段としても良い。

図面の簡単な説明

第1図は、従来の、DUTに対して所望の電圧を印加し、その時の電流を測定
5 する電圧印加電流測定（V S I M）を示す1チャンネルの要部回路構成と、その
内部原理回路図と、測定レンジ機能を備える電流検出抵抗手段R Mの例である。

第2図は、従来の、1チャンネルのI Cピンの電流を測定する場合の要部原理
構成例と、複数チャンネルのDUTのI Cピンの電流を測定する電流測定部の要
部原理構成である。

10 第3図は、本発明の、複数チャンネルのDUTのI Cピンの電流を測定する電
流測定部の要部構成例であり、1チャンネルを受ける場合と複数チャンネルを受
ける場合である。

第4図は、オフセット電圧付与回路の第1の内部構成例と、第2の内部構成例
である。

15 第5図は、本発明のDUTに電圧を印加し、その時の1チャンネルの電流を測
定する電圧印加電流測定（V S I M）を示す、他の要部回路構成例と、1チャ
ンネルの同相電圧V aと検出電圧V bと設定電圧1 0 s とを受けて電流測定する電
流測定部2 0 0 bの内部原理回路図と、複数チャンネルからの同相電圧V aと検
出電圧V bと設定電圧1 0 s とを受けて電流測定する場合の電流測定部2 0 0 b
20 の内部原理回路図と、電圧反転回路7 0の内部構成例である。

第6図は、オフセット電圧付与回路3 0 0 cの第1の内部構成例と第2の内部
構成例である。

第7図は、本発明の、DUTに電圧を印加し、その時の1チャンネルの電流を
測定する電圧印加電流測定（V S I M）を示す、更に他の要部回路構成例と、1
25 チャンネルの電流を測定する場合と複数チャンネルの電流を測定する場合の電流
測定部2 0 0 bの内部構成例である。

第8図は、オフセット電圧付与回路3 0 0 eの内部原理回路図である。

第9図は、オフセット電圧付与回路3 0 0による電圧のシフトダウン動作を説
明する図である。

30 第10図は、印加電圧により理想抵抗に対して非線形の偏差を生じる説明図で

ある。

発明を実施するための最良の形態

- 以下に本発明を適用した実施の形態の一例を図面を参照しながら説明する。また、以下の実施の形態の説明内容によって請求の範囲を限定するものではないし、更に、実施の形態で説明されている要素や接続関係等が解決手段に必須であるとは限らない。更に、実施の形態で説明されている要素や接続関係等の形容／形態は、一例でありその形容／形態内容のみに限定するものではない。

- 本発明について、第3図～第9図を参照して以下に説明する。尚、従来構成に対応する要素は同一符号を付し、また重複する部位の説明は省略する。

第3図は、本発明の、複数チャンネルのDUTのICピンの電流を測定する電流測定部の要部構成例であり、1チャンネルを受ける場合と複数チャンネルを受ける場合である。この構成は第2図の構成例に対してオフセット電圧付与回路300を追加して備える構成である。

- オフセット電圧付与回路300は、演算増幅器A5とAD変換器60との間に挿入されて、電流検出抵抗手段RMの両端の同相電圧 V_a と、検出電圧 V_b を切替スイッチSW1と切替スイッチSW2を介して受け、演算増幅器A5でバッファした結果の高電圧な高電圧信号 V_{A5} を受けて、低電圧な差分出力電圧 V_{60} にシフトダウンさせるものである。例えば、30V前後の同相電圧 V_a と、検出電圧 V_b を、AD変換器60で量子化変換可能な電圧範囲、例えば ± 1 V未満の低い差分出力電圧 V_{60} に電圧をシフトダウンさせる。

第4図(a)はオフセット電圧付与回路の第1の内部構成例である。

この構成要素は、DA変換器30と、抵抗 R_1 、 R_2 、 R_3 と、演算増幅器A6とを備える例である。

- 抵抗 R_3 を除いたときにおいて、抵抗 R_1 、 R_2 と演算増幅器A6とによる回路構成は、一般的な反転増幅構成であって、高電圧信号 V_{A5} は抵抗 R_1 を介しての負入力端へ供給される。この負入力端は演算増幅器の演算増幅作用により、正入力端側と同一の0V状態を常に維持する帰還動作をしている。演算増幅器A6の出力端は抵抗 R_1 と抵抗 R_2 とで決まる増幅率 n で反転増幅された結果の差分出力電圧 V_{60} を出力する。

抵抗 R_3 とDA変換器30とは、出力される差分出力電圧 V_{60} が、所望の0 V付近へシフトダウンさせる為のオフセット付与手段であって、抵抗 R_3 を介して演算増幅器A6の負入力端へ接続されている。これにより、入力される高電圧信号 V_{A5} を相殺するように逆方向の相殺電圧 V_d を、抵抗 R_3 を介して演算増幅器A6の負入力端へ供給することができる。ここで、DA変換器30は設定データ30cに基づいて正電圧／負電圧の所望の電圧を発生できる。

尚、電流測定用のDA変換器30に対する設定制御は、DUT印加用のDA変換器10側の設定変更に連動して、所望の電圧へシフトダウンできるように連動した設定制御する必要性がある。

- 10 この結果、DA変換器30へ供給する設定データ30cを所望に設定制御することで、入力される高電圧信号 V_{A5} に係わらず、演算増幅器A6の差分出力電圧 V_{60} は0 V付近の低い差分出力電圧 V_{60} にシフトダウンすることができる。この結果、低分解能で安価なAD変換器が使用できる大きな利点が得られる。

- 15 第9図はオフセット電圧付与回路300による電圧のシフトダウン動作を説明する図である。ここで、第3図(a)における一方の同相電圧 V_a が20 Vとし、他方の検出電圧 V_b が20.2 Vと仮定すると、このときの電位差 V_x は0.2 Vである。また、AD変換器で量子化する分解能は0.1 mV単位の場合と仮定する。

- 20 前記数値条件例の場合、従来の第2図に示す測定構成では、高電圧な同相電圧 V_a と、検出電圧 V_b を直接AD変換器で量子化変換する構成であるからして、20.2 V迄を量子化変換できる高分解能なAD変換器が必要となる。この結果、分解能202000迄可能な18ビット分解能のAD変換器を適用して測定する必要性がある。

- 25 一方、本発明では0 V付近へシフトダウンした低い差分出力電圧 V_{60} の0 V若しくは0.2 Vを対象として量子化変換すれば良いからして、0.2 V迄を量子化変換できる低分解能なAD変換器が適用できる。この結果、分解能2000迄可能な11ビット分解能の安価なAD変換器が適用できる大きな利点が得られる。

- 30 次に、上述した第4図(a)に示す本発明のオフセット電圧付与回路300の回路構成によれば、構成部品のバラツキに伴う測定精度の影響が最小限にできる。

これについて具体的な数値例を示して以下に説明する。ここで、従来と同様に、 α は目的の抵抗値に対する誤差割合とし、 n はゲインとする。また、第3図(a、b)における演算増幅器A5の誤差要因として、オフセット= A_o とし、演算増幅器A6の誤差要因として、オフセット= B_o と仮定する。

- 5 各抵抗の誤差要因としては、 $R_1 = R(1 + \alpha)$ 、 $R_2 = n * R(1 - \alpha)$ 、 $R_3 = R(1 - \alpha)$ と見なせる。

同相電圧 V_a に対する同相電圧測定値 V_{a1} は、 $V_{a1} = -V_a(R_2/R_1) + V_c(R_2/R_3) + A_o(R_2/R_1) + B_o(R_2 + (R_1/R_3)) / (R_1/R_3)$ の式である。

- 10 検出電圧 V_b に対する検出電圧測定値 V_{b1} は、 $V_{b1} = -V_b(R_2/R_1) + V_c(R_2/R_3) + A_o(R_2/R_1) + B_o(R_2 + (R_1/R_3)) / (R_1/R_3)$ の式である。

ここで、 $V_b = V_a - V_x$ を代入する。また、同相電圧 V_a と、検出電圧 V_b の温度変化等に伴うドリフト的な誤差要因は、切替スイッチSW1で両信号を切

- 15 り替えて短期間中に測定するからして同一と見なせる。従って、

$$V_{a1} - V_{b1} = (V_b - V_a)(R_2/R_1) = V_x(R_2/R_1)$$

の式となる。この結果、抵抗 R_1 、 R_2 の誤差要因のみが測定値となる V_x に対するゲイン誤差となる。従って、他の誤差要素は影響を受けないことが判る。

第4図(a)に示す本発明回路では演算増幅器A6を反転増幅器として使用し、

- 20 正入力端子は回路アース(0V)へ接続しているので、反転入力端子は0V状態に帰還制御されている。

$V_a \equiv V_c$ とした場合、抵抗 R_2 の両端に印加される電圧は $V_a - V_b$ の差電圧に比例する。

- 25 また、同相電圧 V_a と検出電圧 V_b 測定時に R_1 の両端に印加される電圧変化は V_x に比例し、同相電圧 V_a に依存しない。

従って、抵抗素子の特異な非線形特性に伴い、印加電圧によって抵抗値が変化してくるものの、上述した第4図(a)の回路構成によれば、抵抗 R_1 、 R_2 の特異な非線形特性の影響は、 V_x に比例した変化の最小限にできる利点を備えている。よって、精度の良いDUTの電流測定が実現できる。これにより、ポリシ

- 30 リコン系の薄膜抵抗を適用するモノリシックICの形成に対して、測定精度の影

響が最小限で I C 化が形成可能となる大きな利点を得られる。このことは、I C 化に適した優れた回路構成である。

次に、第 4 図 (b) はオフセット電圧付与回路の第 2 の内部構成例である。

このオフセット電圧付与回路 3 0 0 b の第 2 の内部構成は、第 4 図 (a) に示す構成要素に対して抵抗 R 4 を追加し、接続を変更した構成例である。

抵抗 R 4 は、抵抗 R 3 と共に、D A 変換器 3 0 から出力される相殺電圧 V d を所望に分圧する分圧用の抵抗である。抵抗 R 4 の一端は回路アースに接続し、他端は演算増幅器 A 6 の正入力端と抵抗 R 3 の一端とに接続する。抵抗 R 3 の他端は D A 変換器 3 0 の出力端に接続している。この場合は D U T へ印加する試験電圧 V S が低い場合に適している。

測定時において、演算増幅器 A 6 の差分出力電圧 V 6 0 には、抵抗 R 3、R 4 の抵抗値のバラツキに伴う測定誤差が生じるが、電流検出抵抗手段 R M の両端の一方の同相電圧 V a を測定した同相電圧測定値 V a 1 と、他方の検出電圧 V b を測定した検出電圧測定値 V b 1 とが各々短時間内に測定される。その後、ソフト演算処理で V a 1 - V b 1 の引き算処理される結果、短時間内における同一測定条件で使用される差分出力電圧 V 6 0、抵抗 R 3、及び抵抗 R 4 の誤差要因は、引き算処理によって誤差量が相殺される結果、実質的に誤差を生じない利点を備えている。

従って、上述した第 4 図 (b) の発明構成例によれば、上述第 4 図 (a) と同様に、抵抗 R 1、R 2 の電圧係数特性の影響は、V x に比例した変化の最小限にできる利点を備えている。よって、精度の良い D U T の電流測定が実現できる。

次に、第 5 図 (a) は本発明の D U T に電圧を印加し、その時の 1 チャンネルの電流を測定する電圧印加電流測定 (V S I M) を示す、他の要部回路構成例である。この要部構成要素は、D A 変換器 1 0 と、演算増幅器 A 1 と、電流検出抵抗手段 R M と、電流測定部 2 0 0 b とを備える。

D A 変換器 1 0 は、D U T の I C ピンへ印加すべき設定電圧 1 0 s を発生して演算増幅器 A 1 の正入力端へ供給し、且つ電流測定部 2 0 0 b へも供給する接続構成である。

本発明の電流測定部 2 0 0 b は、第 4 図 (a、b) に示すオフセット電圧付与回路 3 0 0 の内部構成における D A 変換器 3 0 を削除し、代わりに上記 D A 変換

器10からDUTへの印加用の設定電圧10sを受ける内部構成としている。

第5図(b)は第5図(a)に対応する1チャンネルの同相電圧 V_a と検出電圧 V_b と設定電圧10sとを受けて電流測定する電流測定部200bの内部原理回路図である。第5図(c)は複数チャンネルからの同相電圧 V_a と検出電圧 V_b と設定電圧10sとを受けて電流測定する場合の電流測定部200bの内部原理回路図である。

第5図(b)、(c)におけるオフセット電圧付与回路300cは、DA変換器10からの設定電圧10sを受け、上述した高電圧信号 V_{A5} を受けて、所望の0V付近へシフトダウンした低電圧な差分出力電圧 V_{60} を出力する。

- 10 第6図(a)はオフセット電圧付与回路300cの第1の内部構成例であり、第6図(b)はオフセット電圧付与回路300dの第2の内部構成例である。

第6図(a)の構成要素は、電圧反転回路70と、抵抗 R_1 、 R_2 、 R_3 と、演算増幅器A6とを備える例であり、第6図(b)の構成要素は、抵抗 R_1 、 R_2 、 R_3 、 R_4 と、演算増幅器A6とを備える例である。

- 15 電圧反転回路70は、第6図(c)に示すように、入力される設定電圧10sbを受けて、この入力電圧の極性を演算増幅器A7で反転増幅させた反転電圧70cを出力ものである。一例として、入力電圧が+10Vのとき、-10Vを出力する。但し、反転電圧70cは上述したソフト演算処理による $V_{a1} - V_{b1}$ の演算によって相殺されるので、精度の高い反転増幅は不要である。従って、抵抗 R_{11} 、 R_{12} は厳密に同一抵抗値である必要性は無い。また演算増幅器A7にオフセットばらつきがあっても支障とはならない。尚、他の抵抗 R_1 、 R_2 、 R_3 と、演算増幅器A6とは、第4図の場合と同様であるからして説明を省略する。

- 25 この構成では、DUT印加用のDA変換器10を所望の電圧に設定変更しても、無負荷電流のときには常にほぼ0Vの状態に電圧がオフセットされる利点を得られる。更に、設定制御が簡便にできる。

- 従って、上述した第5図及び第6図の発明構成例によれば、DA変換器10を共有することで、上述したDA変換器30を削除できるからして、より一層安価に構成できる利点を得られる。更に、DUT印加用のDA変換器10側の設定変更更に連動して、電流測定用の設定電圧も変更できるからして、利便性のよい設定
- 30

制御が可能である。

次に、第7図(a)は本発明のDUTに電圧を印加し、その時の1チャンネルの電流を測定する電圧印加電流測定(VSIM)を示す、更に他の要部回路構成例である。この要部構成要素は、DA変換器10と、反転増幅バッファ手段80
5 と、電流検出抵抗手段RMと、電流測定部200bとを備える。

DA変換器10は、DUTのICピンへ印加すべき試験電圧VSに対して、電圧反転した設定電圧10sを発生する。これを電流測定部200bへも供給する。

演算増幅器A1は、上記設定電圧10sを受けて、電流検出抵抗手段RMを介してDUTのICピンへ試験電圧VSとして供給するための誤差低減及び電力拡
10 大用の演算増幅器である。

反転増幅バッファ手段80は抵抗R21、R22と、演算増幅器A1、A8とを備える。これは、DA変換器10からの設定電圧10sを受けて、電圧増幅ならびに極性反転した試験電圧VSを出力し、これをDUTへ供給するものである。

演算増幅器A1は反転増幅構成であり、抵抗R21とR22により反転増幅する増幅率が決まる。演算増幅器A8は試験電圧VSをハイインピーダンスで受けて電圧バッファした後、抵抗R22へ供給する。この結果、一例として、R21
15 =R22で、入力電圧が+10Vのとき、-10Vの試験電圧VSがDUTへ供給される。

第7図(b)及び第7図(c)に示す本発明のオフセット電圧付与回路300eは、演算増幅器A5とAD変換器60との間に挿入されて、電流検出抵抗手段RMの両端の同相電圧Vaと検出電圧Vbとを切替スイッチSW1を介し、演算増幅器A5でバッファした高電圧信号VA5を介して受けて、低電圧な差分出力電圧V60に電圧をシフトダウンさせるものである。

第8図はオフセット電圧付与回路300eの内部原理回路図である。

25 第8図(a)のオフセット電圧付与回路300eの構成要素は、抵抗R1、R2、R3と、演算増幅器A6とを備える例であり、第8図(b)のオフセット電圧付与回路300fの構成要素は、電圧反転回路70と、抵抗R1、R2、R3、R4と、演算増幅器A6とを備える例である。これらの内部動作は第4図の場合とほぼ同様であるからして説明を省略する。この結果、第7図(a)に示すDA
30 変換器10を共有使用できることとなる。

従って、上述した第7図及び第8図の発明構成例によれば、DA変換器10を共有することで、上述したDA変換器30を削除できるからして、より一層安価に構成できる利点が得られる。更に、DUT印加用のDA変換器10側の設定変更に関連して、電流測定用の設定電圧も変更できるからして、利便性のよい設定

5 制御が可能である。無論、上述第4図(a)と同様に、抵抗R1、R2の電圧係数特性の影響は、 V_x に比例した変化の最小限にできる利点を備えている。よって、精度の良いDUTの電流測定が実現できる。

尚、本発明の技術的思想は、上述実施の形態の具体構成例、接続形態例に限定されるものではない。更に、本発明の技術的思想に基づき、上述実施の形態を適

10 宜変形して広汎に応用してもよい。

例えば、第5図(c)、第7図(c)の構成例では、複数チャンネルからの設定電圧10sを切替スイッチSW3が受けて、何れかに切り替えて出力する構成例であるが、特定チャンネルのDA変換器10に直接接続した構成でも実用可能であるからして、所望により、切替スイッチSW3を削除した構成としても良い。

また、第10図に示す抵抗素子の特異な非線形特性に対してキャリブレーション補正する手段を追加して備えても良い。即ち、補正対象とする回路部位、例えば第4図に示す抵抗R1、R2に対して段階的な電圧を印加し、各印加電圧毎の差分出力電圧V60を測定する。前記の各印加電圧毎の測定データから理想抵抗との偏差を線形補正量として予め求め、これをキャリブレーションの補正量として

20 保存しておく。得られた補正量に基づいて、DUTの電流を測定する差分出力電圧V60の測定データを受けて、ソフト処理により補正演算処理することにより、非直線性に伴う偏差は改善できる。この結果、DUTの電流測定の精度が更に向上できる。

25 産業上の利用可能性

本発明は、上述の説明内容からして、下記に記載される効果を奏する。

上述した第4図(a)の回路構成によれば、DA変換器30へ供給する設定データ30cを所望に設定制御することで、入力される高電圧信号VA5に係わらず、演算増幅器A6の差分出力電圧V60は0V付近の低い差分出力電圧V60

30 にシフトダウンすることができる。この結果、低分解能で安価なAD変換器が使

用できる大きな利点を得られる。

上述した第4図(a)の回路構成によれば、抵抗 R_1 、 R_2 の特異な非線形特性の影響は、 V_x に比例した変化の最小限にできる利点を備えている。よって、精度の良いDUTの電流測定が実現できる。これにより、ポリシリコン系の薄膜抵抗を適用するモノリシックICの形成に対して、測定精度の影響が最小限でIC化が形成可能となる大きな利点を得られる。このことは、IC化に適した優れた回路構成である。

上述した第4図(b)の発明構成例によれば、上述第4図(a)と同様に、抵抗 R_1 、 R_2 の電圧係数特性の影響は、 V_x に比例した変化の最小限にできる利点を備えている。よって、精度の良いDUTの電流測定が実現できる。

上述した第5図及び第6図の発明構成例によれば、DA変換器10を共有することで、上述したDA変換器30を削除できるからして、より一層安価に構成できる利点を得られる。更に、DUT印加用のDA変換器10側の設定変更に関連して、電流測定用の設定電圧も変更できるからして、利便性のよい設定制御が可能である。

上述した第7図及び第8図の発明構成例によれば、DA変換器10を共有することで、上述したDA変換器30を削除できるからして、より一層安価に構成できる利点を得られる。更に、DUT印加用のDA変換器10側の設定変更に関連して、電流測定用の設定電圧も変更できるからして、利便性のよい設定制御が可能である。無論、上述第4図(a)と同様に、抵抗 R_1 、 R_2 の電圧係数特性の影響は、 V_x に比例した変化の最小限にできる利点を備えている。よって、精度の良いDUTの電流測定が実現できる。

従って、本発明の技術的効果は大であり、産業上の経済効果も大である。

請 求 の 範 囲

1. 被試験デバイス（DUT）のICピンへ所定の直流電圧を印加し、その時に流れる電流を測定する機能を備える半導体試験装置において、
 - 5 所定の一定電圧をDUTへ印加する印加電圧源と、
該印加電圧源の出力端とDUTのICピンとの間に所定の抵抗を直接に挿入して、DUTに流れる電流量を電圧に変換する電流電圧変換手段と、
該印加電圧源の出力端の電圧を同相電圧とし、該電流電圧変換手段を介してDUTへ印加する電圧を検出電圧とし、前記両電圧間の差を電位差としたとき、
 - 10 該同相電圧と該検出電圧とを時系列に切り替えて受けて、所定の低電圧に電圧シフトし、シフトした電圧を各々受けて量子化変換した低電圧測定データを各々出力する電流測定手段と、
を具備することを特徴とする半導体試験装置。
 - 15 2. 該印加電圧源は、第1のDA変換器と第1の演算増幅器とを備え、
該第1のDA変換器は外部から設定される設定データに基づいて所定の基準電圧を発生するものであり、
該第1の演算増幅器は電力用の演算増幅器であり、該基準電圧を正入力端に受け、DUTへ供給する試験電圧を負入力端に受け、当該第1の演算増幅器の出力
20 端から該電流電圧変換手段を介してDUTへ試験電圧として供給するものであり、
該電流電圧変換手段の両端から該同相電圧と該検出電圧として第1の該電流測定手段へ供給する、ことを特徴とする請求の範囲第1項記載の半導体試験装置。
 3. 該印加電圧源は、更に、該第1のDA変換器が発生する基準電圧を第2の該
25 電流測定手段へ供給する、ことを特徴とする請求の範囲第2項記載の半導体試験装置。
 4. 該印加電圧源は、第1のDA変換器と反転増幅バッファ手段とを備え、
該第1のDA変換器は外部から設定される設定データに基づいて所定の基準電
30 圧を発生するものであり、

該反転増幅バッファ手段は電力用の反転型演算増幅器であり、該基準電圧を受け、DUTへ供給する試験電圧を受けて反転増幅し、当該反転増幅バッファ手段の出力端から該電流電圧変換手段を介してDUTへ試験電圧として供給するものであり、

- 5 該電流電圧変換手段の両端から該同相電圧と該検出電圧として第3の該電流測定手段へ供給し、且つ、該第1のDA変換器が発生する基準電圧を第3の該電流測定手段へ供給する、ことを特徴とする請求の範囲第1項記載の半導体試験装置。

5. 第1乃至第3の該電流測定手段は、オフセット電圧付与手段とAD変換器と
10 データ格納手段とを備え、

該オフセット電圧付与手段は該同相電圧と該検出電圧とを時系列に切り替えて受けて、所定の低電圧範囲に収まるように電圧シフトした該同相電圧に対応する第1の低電圧信号と、該検出電圧に対応する第2の低電圧信号を出力するものであり、

- 15 該AD変換器は低電圧に電圧シフトした該第1の低電圧信号と第2の低電圧信号とを時系列に受けて、各々を量子化変換した第1の測定データと第2の測定データを出力するものであり、

該データ格納手段は該第1の測定データと該第2の測定データを少なくとも1組格納可能なメモリ若しくはレジスタである、ことを特徴とする請求の範囲第1

- 20 項乃至第4項記載の半導体試験装置。

6. 第1の該電流測定手段は、当該電流測定手段へ入力する1系統の該同相電圧と該検出電圧とを受けて、何れかに切り替えて該オフセット電圧付与手段へ供給する第1の入力信号切替手段を備える、ことを特徴とする請求の範囲第2項記載
25 の半導体試験装置。

7. 第2の該電流測定手段は、複数チャンネルから該同相電圧と該検出電圧との組の複数群の入力信号を受けて、前記複数群の中の何れかの1つに切り替えて該オフセット電圧付与手段へ供給する第2の入力信号切替手段を備える、ことを特
30 徴とする請求の範囲第3項記載の半導体試験装置。

8. 第3の該電流測定手段は、複数チャンネルから該同相電圧と該検出電圧との組の複数群の入力信号を受けて、前記複数群の中の何れかの1つに切り替えて該オフセット電圧付与手段へ供給し、且つ、複数チャンネルの該第1のDA変換器からの該設定電圧を受けて、前記で選択された該同相電圧若しくは該検出電圧に対応するチャンネルの該設定電圧に切り替えて該オフセット電圧付与手段へ供給する第3の入力信号切替手段を備える、ことを特徴とする請求の範囲第4項記載の半導体試験装置。

- 10 9. 該オフセット電圧付与手段に備える少なくとも該第1抵抗と該第2抵抗に対し、DUTの試験に先立って、段階的な電圧を当該抵抗の両端へ印加して測定する手段と、

前記で得られた当該抵抗の非線形特性データと理想抵抗との偏差を特定する手段と、

- 15 特定された当該抵抗の非線形特性に基づいて、DUTの電流を測定して得た該同相電圧及び該検出電圧に対して当該抵抗の非線形特性が理想抵抗となるように直線補正する手段と、

を更に備えることを特徴とする請求の範囲第5項乃至第8項記載の半導体試験装置。

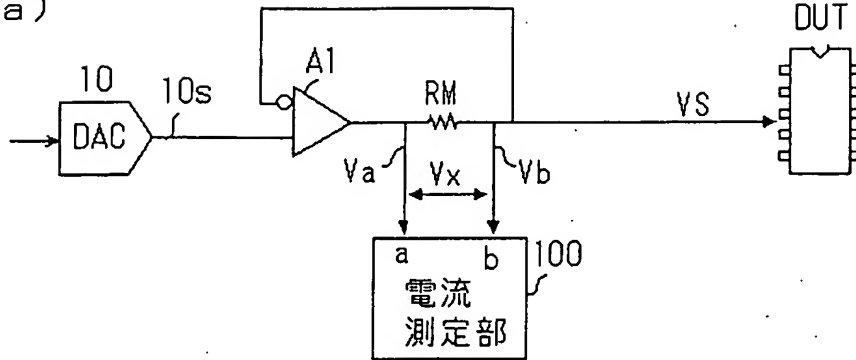
要 約 書

比較的高い試験電圧をDUTへ印加する場合でも、その時の負荷電流量を低い電圧範囲に変換した後、前記低い電圧範囲を所定の測定分解能で量子化変換する

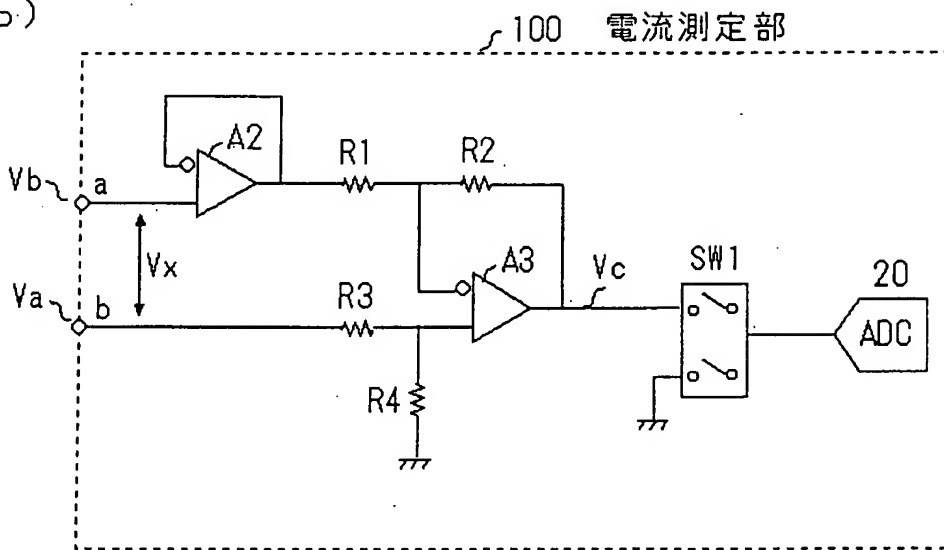
- 5 電流測定部を備える半導体試験装置を提供する。所定の一定電圧を負荷装置へ印加する印加電圧源を具備し、印加電圧源の出力端と負荷装置との間に所定の抵抗を直接に挿入して、負荷装置に流れる電流量を電圧に変換する電流電圧変換手段を具備し、同相電圧と検出電圧とを時系列に切り替えて受けて、所定の低電圧に電圧シフトし、シフトした電圧を各々受けて量子化変換した低電圧測定データを
- 10 各々出力する電流測定手段を具備する差動電圧測定装置である。

第1図

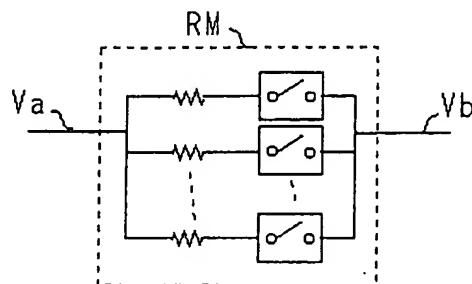
(a)



(b)

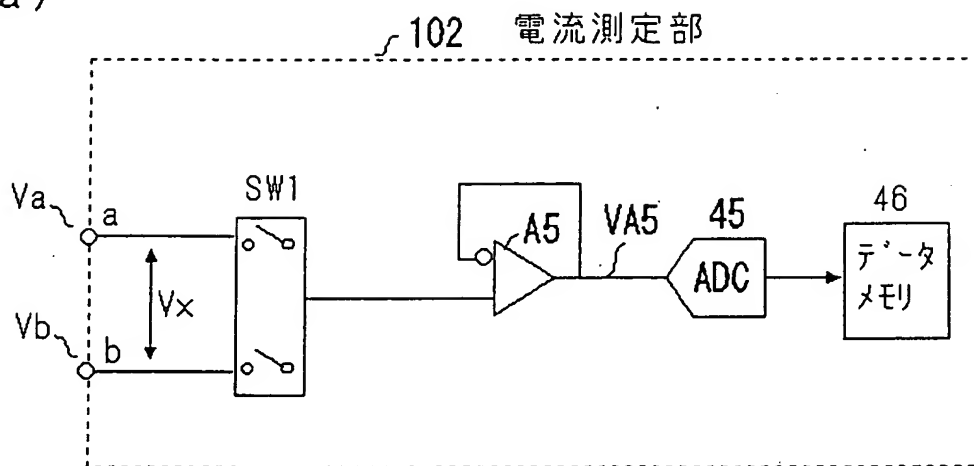


(c)

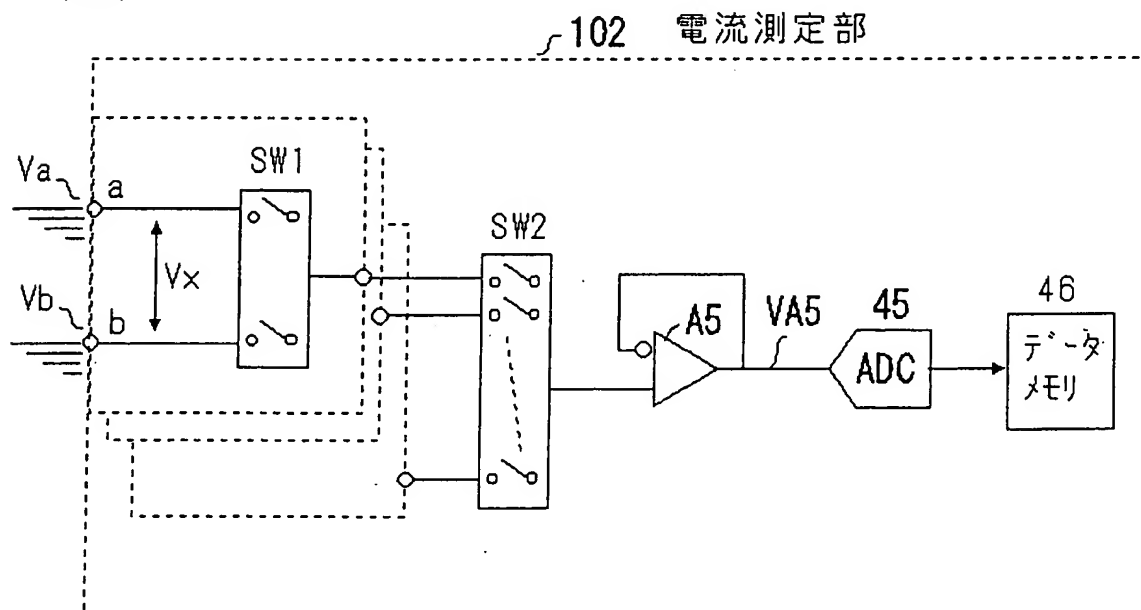


第2図

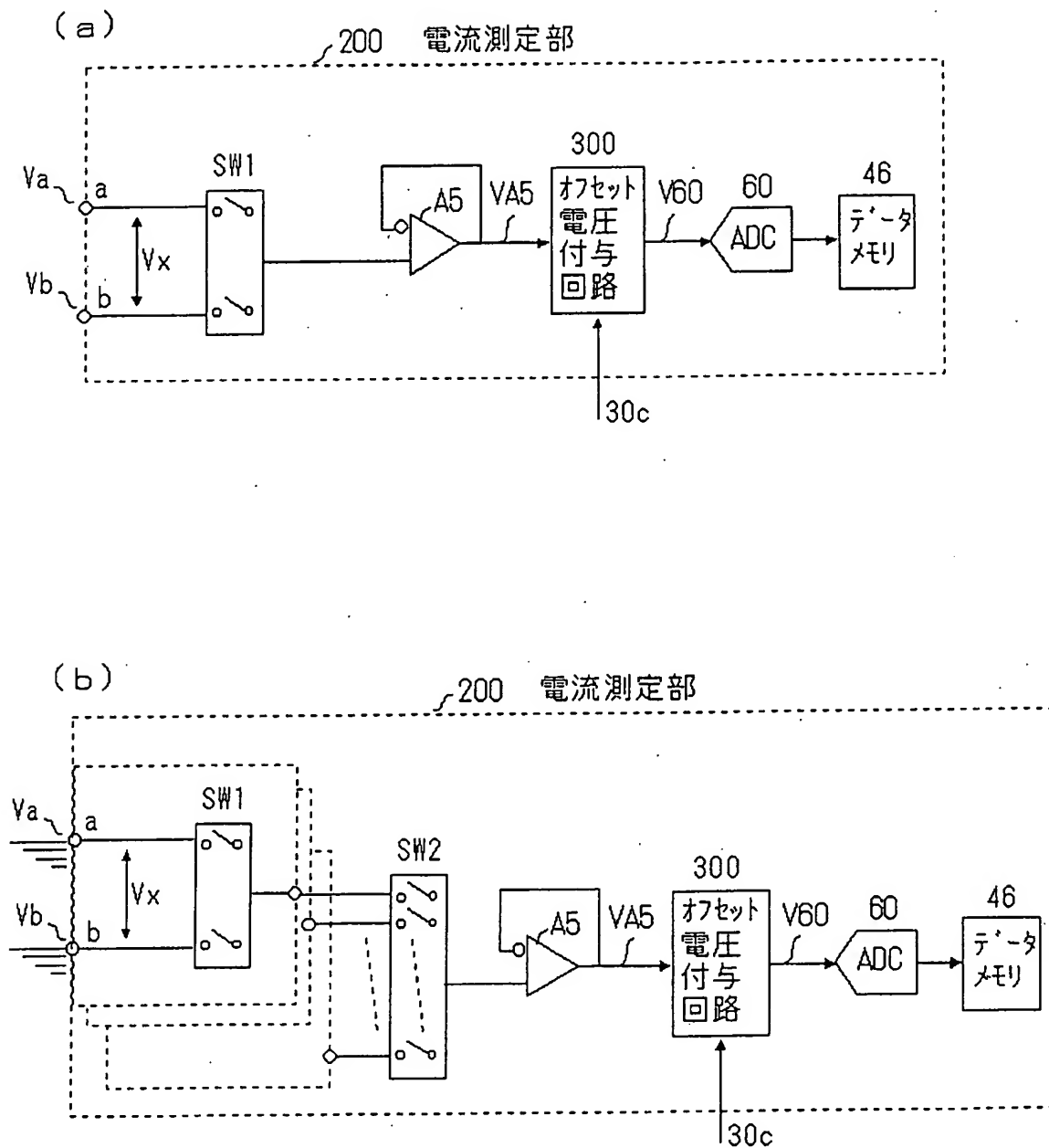
(a)



(b)

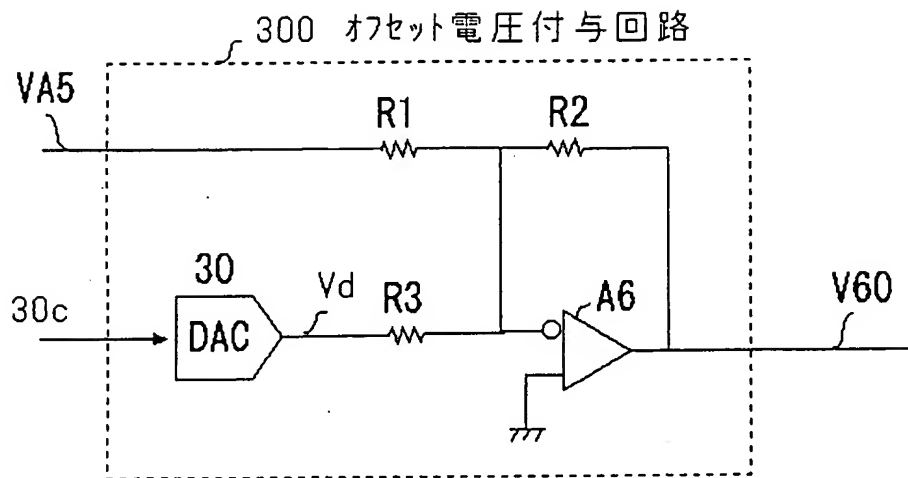


第3図

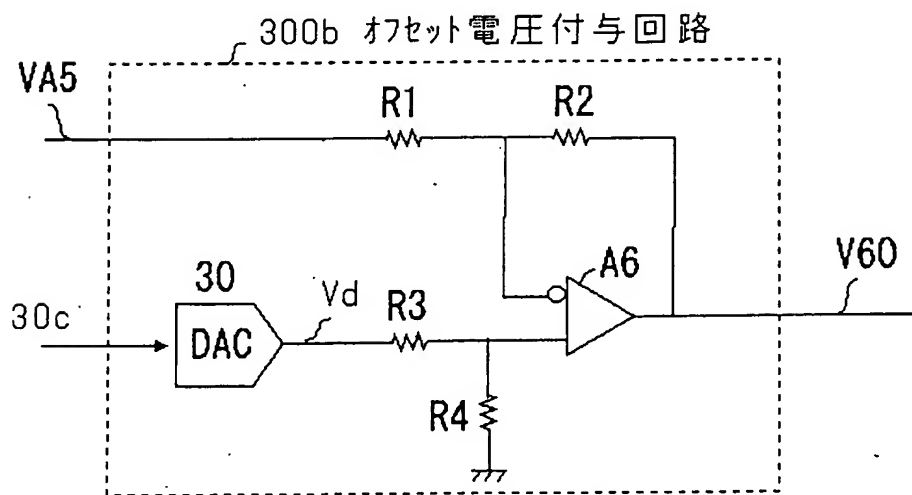


第4図

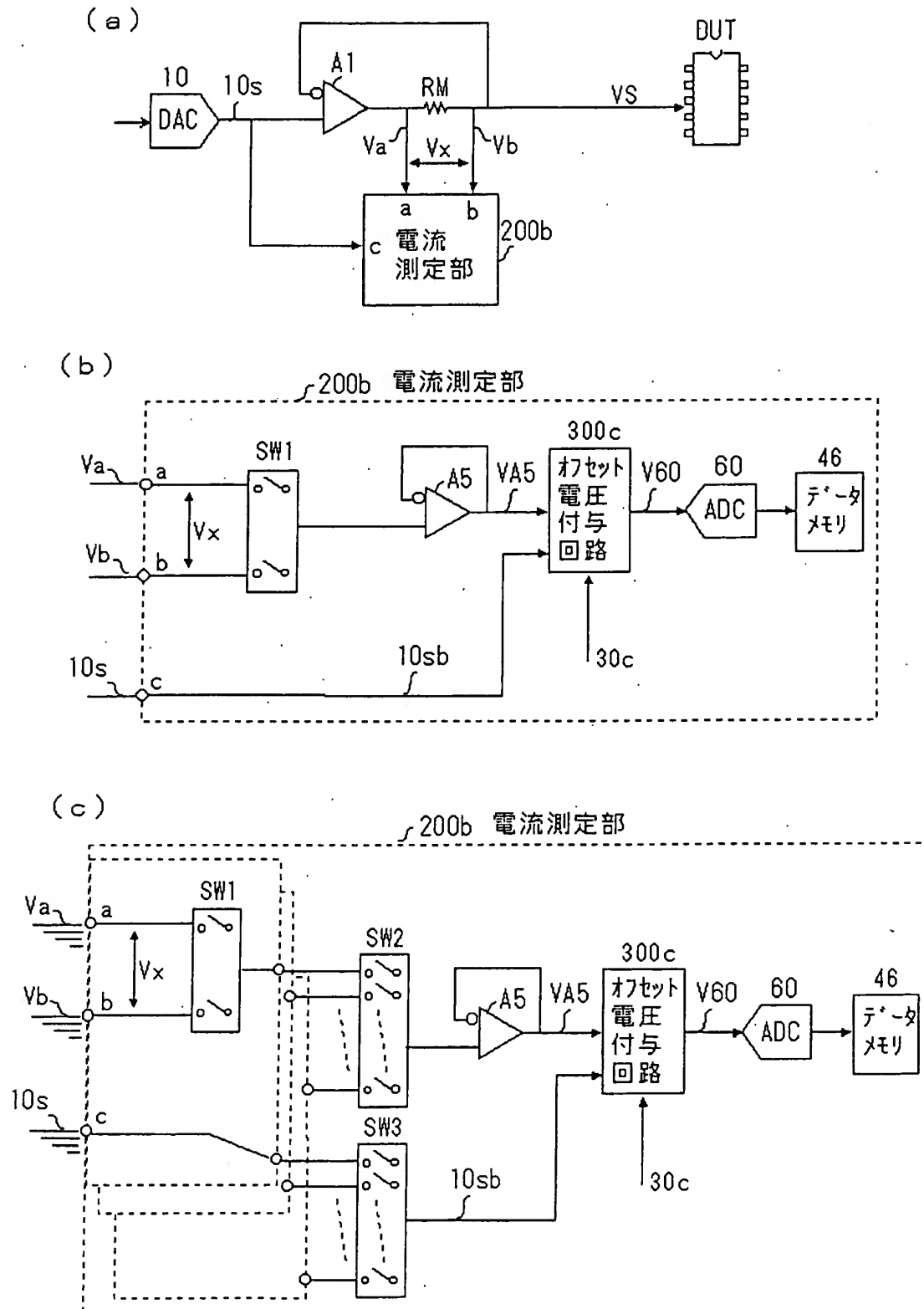
(a)



(b)

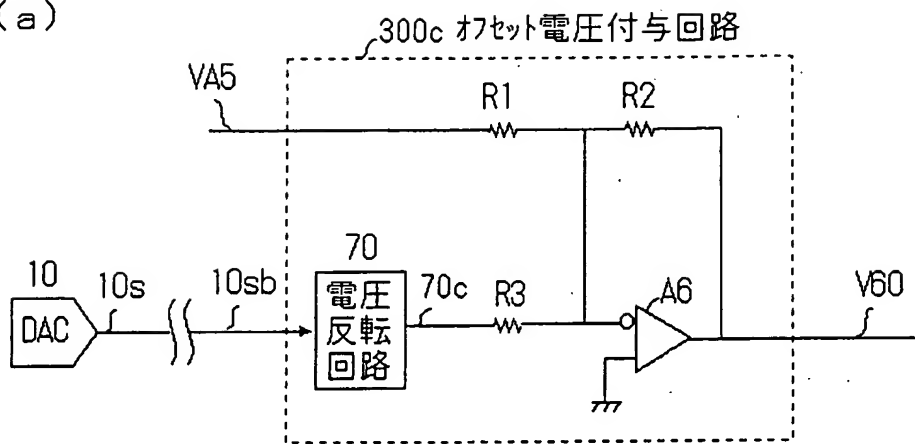


第5図

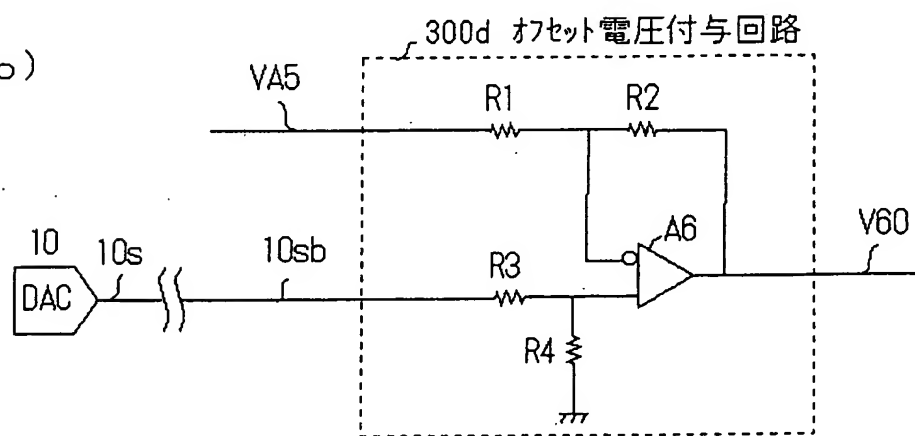


第6図

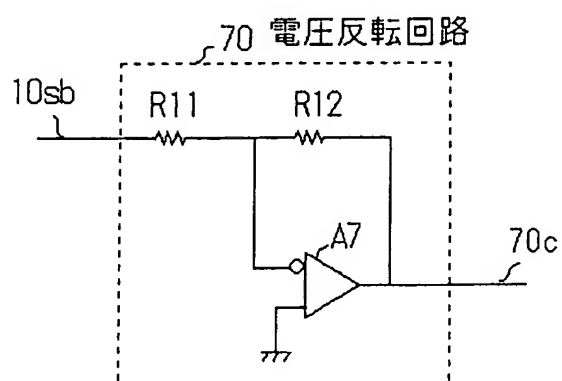
(a)



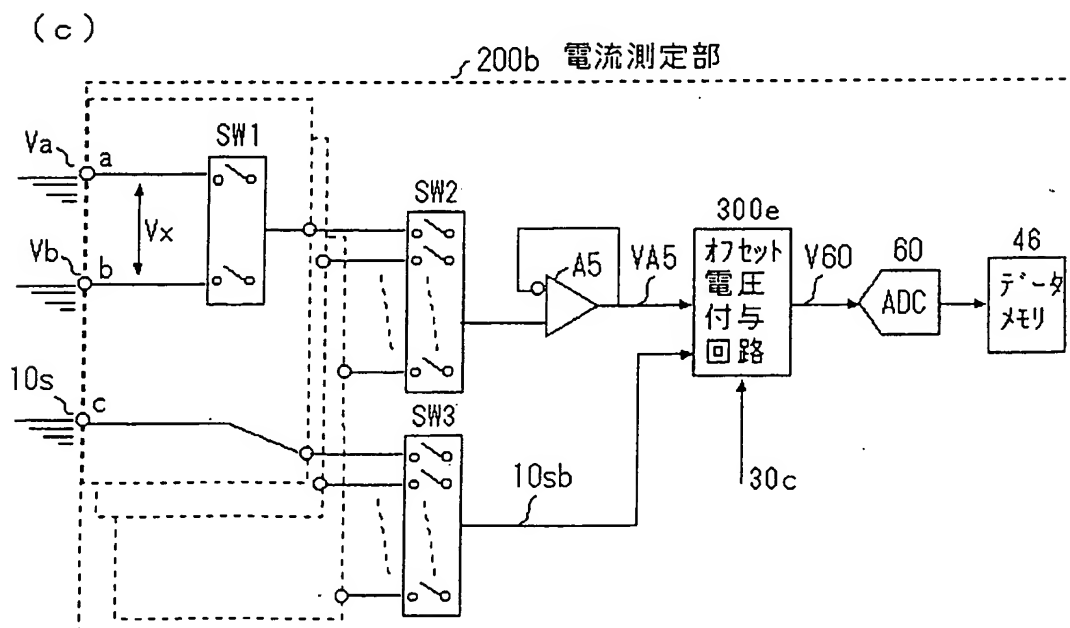
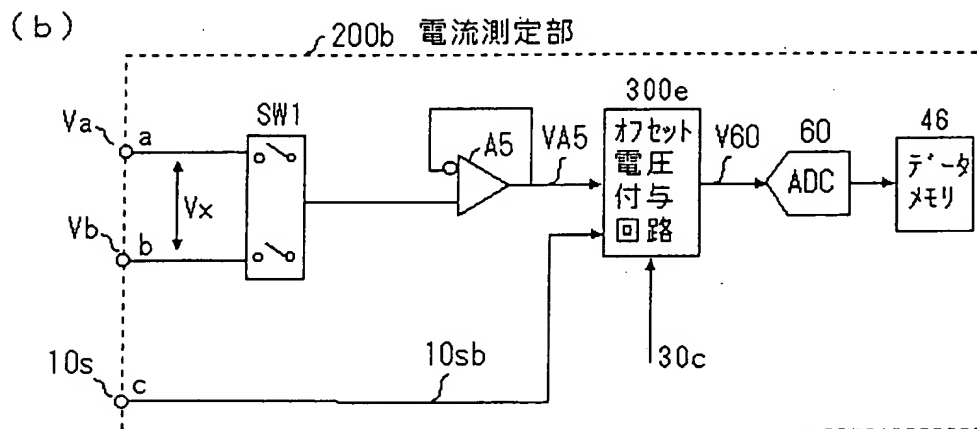
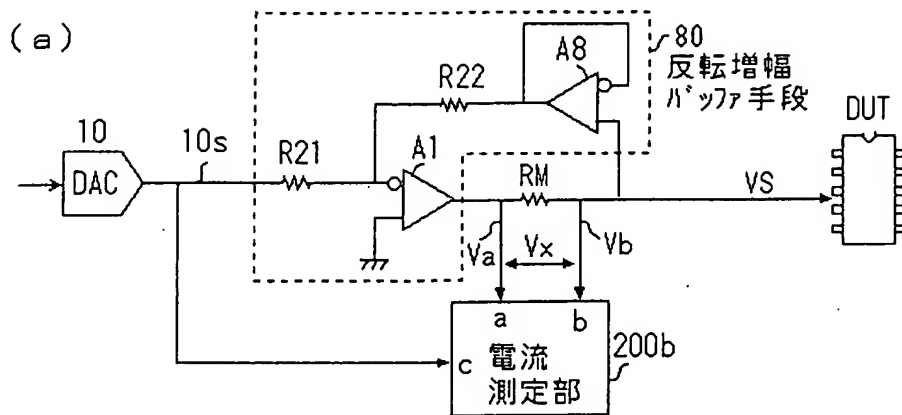
(b)



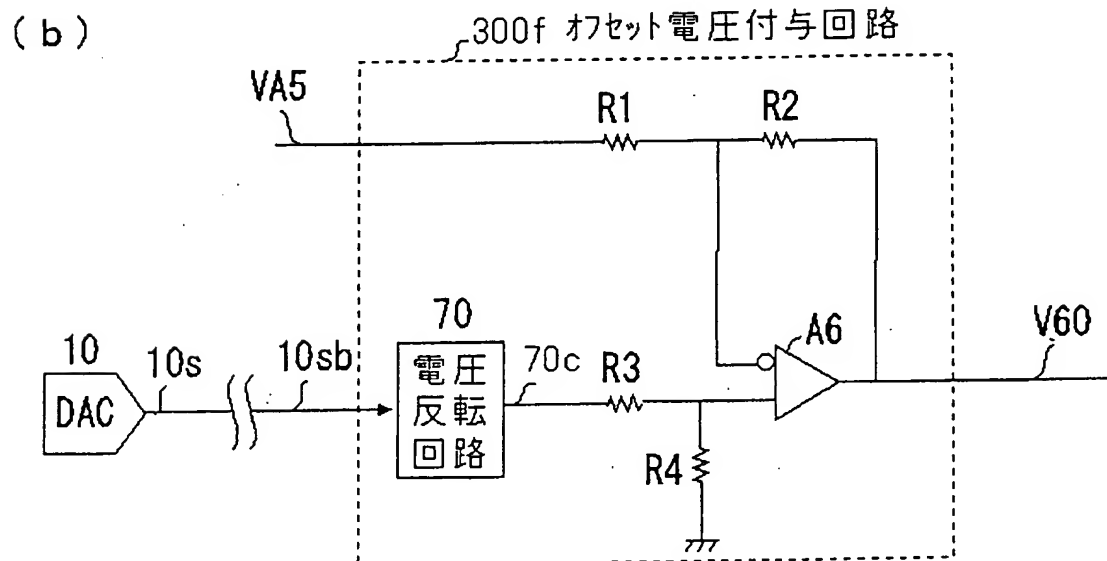
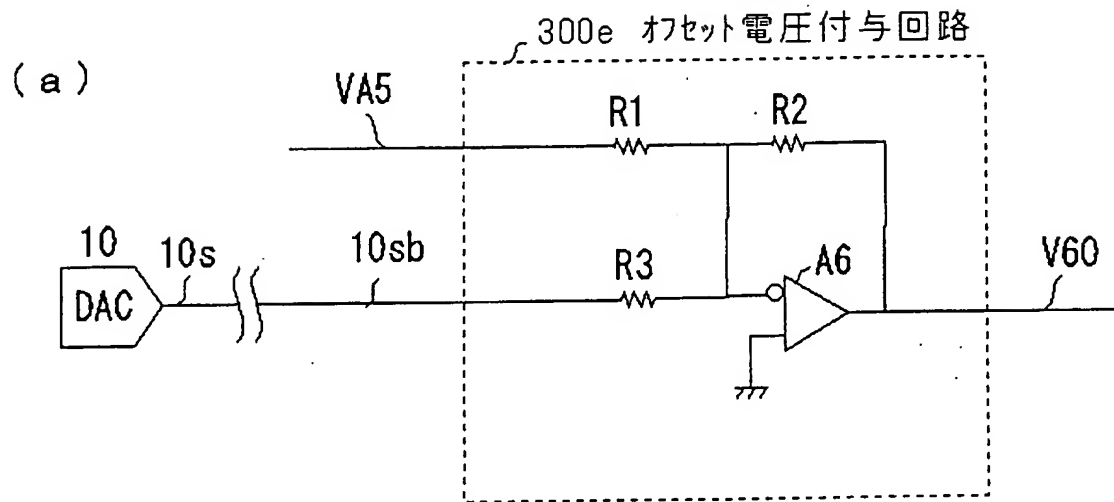
(c)



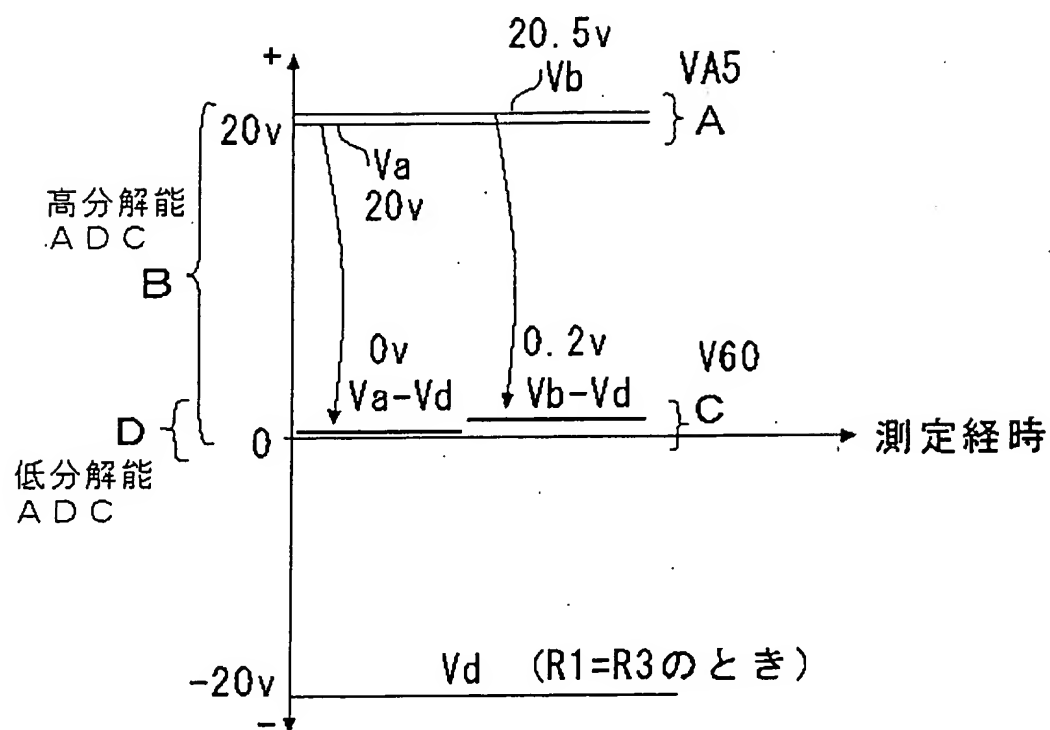
第7図



第8図

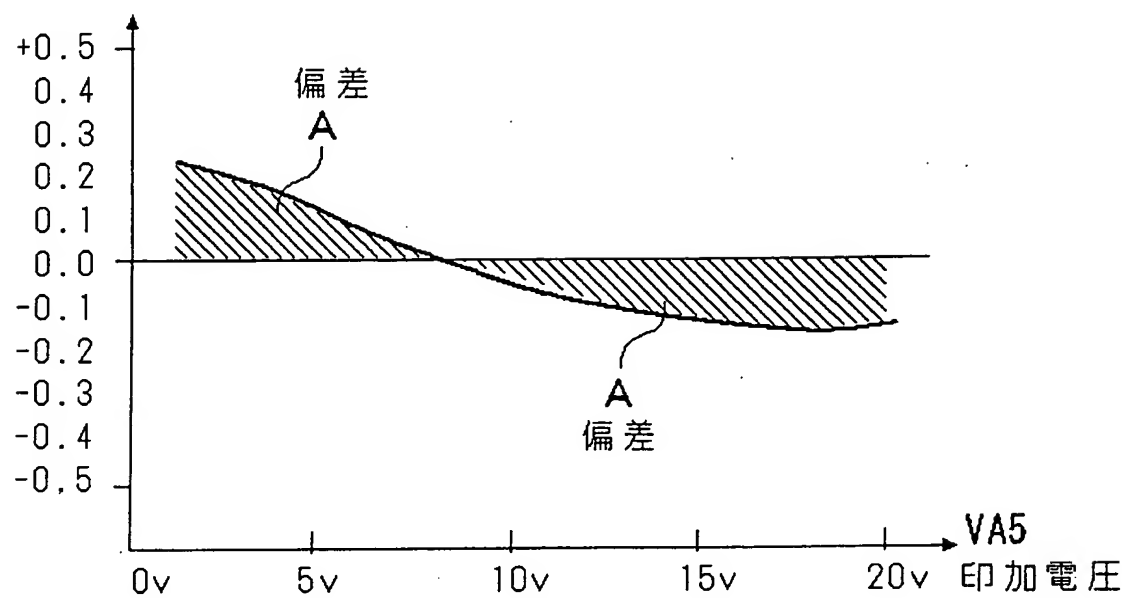


第9図



第10図

抵抗値偏差 (%)



RECD 10 OCT 2003

PCT

国際調査報告

(法8条、法施行規則第40、41条)
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号 ADT-376-PCT	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/JPO3/07465	国際出願日 (日.月.年) 12.06.03	優先日 (日.月.年) 13.06.02
出願人(氏名又は名称) 橋本 好弘		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出された磁気ディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出された磁気ディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列と磁気ディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 3 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl⁷ G01R31/28, G01R31/26

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl⁷ G01R31/28, G01R31/26

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-2003年

日本国登録実用新案公報 1994-2003年

日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US 6255839 B1 (ADVANTEST CORPORATION) 2001.07.03, 全文 & DE 19857689 A & JP 11-174113 A 全文	1-9
Y	JP 2001-7660 A (株式会社アドバンテスト) 2001.01.12, 図7 (ファミリーなし)	1-9
Y	JP 2001-36359 A (株式会社アドバンテスト) 2001.02.09, 【0066】 (ファミリーなし)	1-9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

19.09.03

国際調査報告の発送日

07.10.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

越川 康弘

2S

9605

電話番号 03-3581-1101 内線 6282

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	日本国実用新案登録出願 63-136798 号 (日本国実用新案登録出願公開 2-58840 号) の願書に添付した明細書及び図面の内容を記録したマイクロフィルム (株式会社アドバンテスト) 1990. 04. 27, 第 6 図 (ファミリーなし)	1-9
Y	J P 9-236637 A (株式会社アドバンテスト) 1997. 09. 09, 全文 (ファミリーなし)	2, 3, 5, 6, 7, 9
Y	日本国実用新案登録出願 59-150788 号 (日本国実用新案登録出願公開 61-68533 号) の願書に添付した明細書及び図面の内容を記録したマイクロフィルム (株式会社アドバンテスト) 1986. 05. 10, 第 1 図 (ファミリーなし)	4, 5, 8, 9
Y	J P 4-370769 A (三菱電機株式会社) 1992. 12. 24, 全文 (ファミリーなし)	9
Y	J P 6-34674 A (ソニー・テクトロニクス株式会社) 1994. 02. 10, 全文 (ファミリーなし)	9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/07465

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G01R31/28, G01R31/26

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G01R31/28, G01R31/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2003

Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6255839 B1 (ADVANTEST CORP.), 03 July, 2001 (03.07.01), Full text & DE 19857689 A & JP 11-174113 A Full text	1-9
Y	JP 2001-7660 A (ADVANTEST CORP.), 12 January, 2001 (12.01.01), Fig. 7 (Family: none)	1-9
Y	JP 2001-36359 A (ADVANTEST CORP.), 09 February, 2001 (09.02.01), Par. No. [0066] (Family: none)	1-9

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

 Date of the actual completion of the international search
19 September, 2003 (19.09.03)

 Date of mailing of the international search report
07 October, 2003 (07.10.03)

 Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/07465

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 136798/1988(Laid-open No. 58840/1990) (ADVANTEST CORP.), 27 April, 1990 (27.04.90), Fig. 6 (Family: none)	1-9
Y	JP 9-236637 A (ADVANTEST CORP.), 09 September, 1997 (09.09.97), Full text (Family: none)	2, 3, 5, 6, 7, 9
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 150788/1984(Laid-open No. 68533/1986) (ADVANTEST CORP.), 10 May, 1986 (10.05.86), Fig. 1 (Family: none)	4, 5, 8, 9
Y	JP 4-370769 A (Mitsubishi Electric Corp.), 24 December, 1992 (24.12.92), Full text (Family: none)	9
Y	JP 6-34674 A (Sony/Tektronix Corp.), 10 February, 1994 (10.02.94), Full text (Family: none)	9

PCT/JP03/07465

TITLE:

DIFFERENTIAL VOLTAGE MEASURING DEVICE, SEMICONDUCTOR
TESTING DEVICE

ABSTRACT:

A semiconductor testing device provided with a current measuring unit that converts a load current, obtained even when a comparatively high testing voltage is applied to a DUT, into a low voltage range and then quantization-converts the low voltage range with a specified measuring resolution. A differential voltage measuring device comprising an applying voltage source for applying a specified constant voltage to a load device, a current-voltage converting means for directly inserting a specified resistance between the output terminal of the applying voltage source and a load device and converting a current running through the load device into a voltage, and a current measuring means for receiving an in-phase voltage and a detected voltage by switching them in time series to voltage-shift them to specified low voltages, and receiving respective shifted voltages to respectively output quantization-converted low-voltage measurement data.

DRAWING:

FIG. 3:

200...CURRENT MEASURING UNIT

300...OFFSET VOLTAGE IMPARTING CIRCUIT

46...DATA MEMORY